

整理番号: 01J04123 発送番号: 154581 発送日: 平成17年 4月26日 1

## 拒絶理由通知書



特許出願の番号	特願2001-374905
起案日	平成17年 4月21日
特許庁審査官	橋本 直明 9707 2G00
特許出願人代理人	原 謙三 様
適用条文	第29条第1項、第29条第2項、第29条の2、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

## 理 由

## [理由1]

この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の記事に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第29条第1項第3号に該当し、特許を受けることができない。また、この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の記事に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

【請求項1-11について；引用文献1-3】

(備考)

<請求項1-3, 9-10について；引用文献1>

引用文献1には、ループ状に2つのインバータを接続してなるメモリ素子を有する画素を備えたメモリー一体型表示素子が記載されている（実施例1, 2を参照されたい）。

<請求項4, 6について；引用文献1>

画素回路の制御部を構成するトランジスタのオン抵抗が0に近く、オフ抵抗値が極めて大きい理想的な状態においては、光学変調素子のオン抵抗値に対するトランジスタのオフ抵抗値の比率も0に近づくから、必然的に、条件式を満たす様

BEST AVAILABLE COPY

な関係になる（何故ならば、光学変調素子は、原理的に、どのような種別のものであっても、発光若しくは変調動作のために必ず電力を消費するから、素子の端子間に電位差を生ずる必要があるので、理想状態であっても、光学変調素子のオン抵抗値の方は限りなくゼロに近づけることはできない。一方、画素回路の制御部を構成するトランジスタは、原理的に単なるスイッチング素子であるので、理想状態では、限りなくオン抵抗値をゼロに近づけることができる。）。

そして、そのような理想状態を想定することは、当業者にとっては格別のことではない。

なお、「略～」という規定では範囲が定まらないから、どのようなトランジスタの抵抗値でも、文言上は条件式を満たすと認められる。

<請求項5, 7について; 引用文献1>

+xと、-xの範囲が規定されていないので、どのような素子であっても、適当にxを選定することで条件式を満たし得るため、実質的な意味を有さない構成である。

また、上記のように、画素回路が理想状態にあれば、必然的に、条件式を満たす様な関係になり、且つ、そのような理想状態を想定することは、当業者にとっては格別のことではない。

<請求項8について; 引用文献1-2>

一画素を複数の副画素で構成するサブピクセル構造とすることは、例えば、引用文献2に開示されているような周知技術の付加に過ぎないことである。

<請求項11について; 引用文献1, 3>

画素の構成素子を基準線に対して線対称に配置して、電気的な接続関係を好適にすることは、例えば、引用文献3（第19頁第17行目-第24行目及び図2参照）に開示されているような周知技術の付加に過ぎないことである。

【請求項1-9, 11について; 引用文献2-4】

(備考)

<請求項1-3, 9について; 引用文献4>

引用文献4には、ループ状に2つのインバータを接続してなるメモリ素子を有する画素を備えたメモリー一体型表示素子が記載されている（第1の実施の形態参照。メモリ素子を有する基本画素構造については、段落番号【0039】及び図6を参照されたい）。

<請求項4-7について; 引用文献4>

引用文献1を主引例とする上記理由と同様である。

＜請求項8について；引用文献2，4＞

一画素を複数の副画素で構成するサブピクセル構造とすることは、例えば、引用文献2に開示されているような周知技術の付加に過ぎないことである。

＜請求項11について；引用文献3－4＞

画素の構成素子を基準線に対して線対称に配置して、電気的な接続関係を好適にすることは、例えば、引用文献3に開示されているような周知技術の付加に過ぎないことである。

#### [理由2]

この出願の下記の請求項に係る発明は、その出願の日前の特許出願であって、その出願後に出願公告又は出願公開がされた下記の特許出願の願書に最初に添付された明細書又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同一ではなく、またこの出願の時に於いて、その出願人が上記特許出願の出願人と同一でもないので、特許法第29条の2の規定により、特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

【請求項1－8，11について；先願5】

(備考)

先願5明細書の第1，2実施形態に記載されたメモリー一体型表示素子を参照されたい。

また、請求項4－7に係る発明については、理由1で述べた通り、明確な相違点が認められない。

さらに、請求項8，11に係る発明については、理由1で述べた通り、周知技術の付加に過ぎず、且つ、従来技術から予測し得ない技術的効果を奏することもないので、本願発明は先願発明と実質的に同一である。

#### 引用文献等一覧

1. 特開平06－102530号公報
2. 特開2000－284727号公報
3. 国際公開第98／036407号パンフレット
4. 特開平10－228012号公報
5. 特願平11－207904号（特開2001－033760号）

#### [理由3]

この出願は、発明の詳細な説明の記載が下記の点で、特許法第36条第4項に規定する要件を満たしていない。

記

(1) 請求項4-7に係る発明において、トランジスタや光学素子の抵抗値の比率を規定しているが、発明の詳細な説明を参酌しても、同一基板上、且つ、極めて近傍に形成される複数のTFTの個々の抵抗値を、そのような規定を満たすような状態に制御して製造するための製造技術が開示されていない。  
少なくとも、従来の製造技術では、そのような抵抗値の比率制御を伴う工程は実現が困難であると認められる。

(2) 請求項5, 7に係る発明において、 $+x > 100$ の時、p型トランジスタのオン抵抗値が負値となる範囲を含んでいるが、その実現手段が不明である。

(3) 請求項4-7に係る発明に関して、条件式の導出において、画素の容量成分への充放電に伴う消費電力などを無視して、近似的に消費電力を定式化しているが、そのように近似的に得られた条件式によって定まるパラメータの範囲に、どの程度の技術的意義があるのかが不明である。

少なくとも、そのような近似式では、条件式で定まる範囲から多少外れたとしても、技術的効果に大きな差異が生じないことは自明であるし、本願明細書でも段落番号【0051】等に、多少のズレは許容されるという趣旨の記載がされており、条件式で定まる範囲の臨界的な意義を自ら否定している。

(4) 請求項5, 7に係る発明に関して、段落番号【0052】-【0056】において、条件式の導出過程が開示されている。

その内容を見ると、当該条件式は、各画素の点灯輝度のバラツキ量を $\pm x\%$ 以内とする場合に、消費電力を最小にする相対値Aについて満たされるべき必要のある条件を示しており、その逆の関係、すなわち、相対値Aが当該条件式を満足すれば、各画素の点灯輝度のバラツキ量を $\pm x\%$ 以内に保つことができるという関係を保証するものではない。

しかるに、段落番号【0055】-【0056】の記載では、当該条件式を満たすことで、各画素の点灯輝度のバラツキ量を $\pm x\%$ 以内に保つことができるように記載されており、意味が不明瞭である。

よって、この出願の発明の詳細な説明は、当業者が請求項4-11に係る発明を実施することができる程度に明確かつ十分に記載されていない。

[理由4]

この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

(1) 請求項4, 6において、「略(K+1)  $1/2/K$ 」という記載があるが、「略～」とは、その範囲が不明瞭な記載である。

段落番号【0051】等に「許容範囲内であれば・・・」とあるが、何が許容範囲かは客観的な基準が無いので、やはり不明確である。

(2) 請求項5, 7において、 $x=100$ 以上としたときに、p型トランジスタの抵抗の比率の下限が0以下となり、特許を受けようとする発明の構成が不明確である。

ここで、製造時に光学変調素子の欠陥(=点灯輝度ゼロ)が発生することを考えれば、点灯輝度の基準値からのバラツキ量の負側の最小値は $-100\%$ ( $-x=-100$ )であるし、光学変調素子の特性のばらつきが大きければ、基準となる素子の2倍よりも大きな点灯輝度も有り得るから、点灯輝度の基準値からのバラツキ量の正側の最大値は $100\%$ よりも大きくなる( $+x>100$ )ことは自明である。

そして、請求項5, 7の条件式では、 $x$ の範囲を規定していないから、当然に $x \geq 100$ の場合も当該条件式を適用せざるを得ない。

(3) 請求項2に「電荷放出手段を備えている」という記載があるが、当該記載では、請求項1の「インバータ」とは別に「電荷放出手段」を備えているように解釈されるので、特許を受けようとする発明の構成が明瞭であるとは言えない。

(4) 請求項10において、「上記メモリ素子の第1電極及び第2電源電極」という記載があるが、「第1電極」が何を意味しているのかが不明瞭である。また、「第2電源電極」と対応すべき「第1電源電極」の記載が無い。

(おそらく、「第1電源電極」→「第1電極」の誤記。)

(5) 請求項11に、「データ信号線又は選択信号線の何れかの基準線を介して隣接するメモリ素子同士および光学変調素子同士は、当該基準線に対して線対称に配置されており」という記載があるが、「データ信号線又は選択信号線の何れかの基準線」とは、何を意味しているのかが明確ではない。

少なくとも、『データ信号線又は選択信号線の何れかを基準線としたとき・・・』という程度の意味であるのか、あるいは、文言通りに、「データ信号線又は選択信号線」に関する何らかの基準線を意味しているのか、その何れであるのかが不明確である。

なお、請求項11については、アクティブマトリクス基板上に、信号線や電源線を配するようなものには限定されておらず、一組の光学変調素子(例えば、LED等)を含むユニットを複数接続して、データ信号線と選択信号線とを別途配線するような表示素子も包含しているので、そのような一般の回路構成について「線対称」と規定することに、如何なる技術的意義があるのか分からない。

よって、請求項4-1.1に係る発明は明確でない。

この拒絶理由通知の内容に問い合わせがある場合、または、この案件について  
面接を希望する場合は、特許審査第一部ナノ物理の橋本までご連絡下さい。

TEL 03-3581-1101 (内線3225) 、FAX 03-3592-8858

-----

先行技術文献調査結果の記録

- ・調査した分野     I P C 第 7 版   G 0 9 G 3 / 3 0
- ・先行技術文献     特開平 1 0 - 2 3 2 6 4 9 号 公 報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

File No.: 01J04123

Mailing No.: 154581

Mailing Date: April 26, 2005

**A TRANSLATION OF NOTICE OF REASONS FOR REFUSAL**

Patent Application No. Tokugan 2001-374905

Date Drafted: April 21, 2005

Examiner: HASHIMOTO Naoaki 9707 2G00

Attorney: HARA Kenzo

Provisions Applied: Sections 29(1), 29(2), 29<sup>bis</sup>, 36

This application is rejected for the reasons set forth below. If the applicant has any comments on this Office Action, a response should be filed within 60 days from the mail date of this Action.

**Reasons for Refusal**

**Reason 1:**

The invention described in the application in reference to claims listed below is either disclosed in the below publication distributed in Japan or elsewhere or made available to the public over electrical communications lines, prior to the filing of the patent application. Therefore, the patent is not granted according to Section 29(1)(iii). Also, the invention described in the application in reference to claims listed below could easily have been made, prior to the filing of the patent application, by a person with ordinary skill in the art to which the invention pertains, on the basis of an invention or inventions described in the below publication distributed in Japan or elsewhere prior to the filing of the patent application. Therefore, the patent is not granted according to Section 29(2) of the Japanese Patent Law.

Remarks (See List for References Cited and Applications)

[Claims 1-11; Cited publications 1-3]

(Note)

<Claims 1-3, 9, 10, Cited publication 1>

Cited publication 1 describes a memory-integrated display element with pixels having memory elements. Each element contains two inverters connected to form a loop. See examples 1; 2.

<Claims 4, 6, Cited publication 1>

Under ideal conditions where the transistors in a control section for a pixel circuit have an ON resistance close to zero and an extremely large OFF resistance, the ratio of the OFF resistance of the transistor to the ON resistance of an optical modulator is also close to zero. The relationship therefore naturally satisfies the conditional expression for the following reason: An optical modulator of any type must in principle consume electric power to emit or modulate light. A voltage drop needs to occur across the element terminals. Therefore, the ON resistance of the optical modulator cannot be brought infinitely close to zero even under ideal conditions. In contrast, the transistors in a control section for a pixel circuit are in principle mere switching elements. Under ideal conditions, its ON resistance can be brought infinitely close to zero.

Assuming such ideal conditions is not anything special to a person skilled in the art.



Transistors with any resistance value literally satisfy the conditional expression, because the language "substantial" does not define any specific range.

<Claims 5, 7, Cited publication 1>

No ranges are defined for  $+x$  and  $-x$ . Any element can satisfy the conditional expression with the "x" chosen appropriately. The arrangement practically has no meaning at all.

In addition, when the pixel circuit is under ideal conditions as above, the relationship naturally satisfies the conditional expression. Assuming such ideal conditions is not anything special to a person skilled in the art.

<Claim 8, Cited publications 1, 2>

Constructing each pixel from a set of subpixels (subpixel structure) is a mere addition of such a well-known technique as the one disclosed in cited publication 2.

<Claim 11, Cited publications 1, 3>

Optimizing electrical connections by arranging structural elements of a pixel so that they are symmetric with respect to a reference line is a mere addition of such a well-known technique as the one disclosed in cited publication 3, page 19, lines 17-24, and Figure 2.

[Claims 1-9, 11, Cited publications 2-4]

(Note)

<Claims 1-3, 9, Cited publication 4>

Cited publication 4 describes a memory-integrated display element with pixels having memory elements. Each element contains two inverters connected to form a loop. See embodiment 1. As to the basic pixel structure including a memory element, see paragraph [0039] and Figure 6.

<claims 4-7, Cited publication 4>

The same reasoning as cited publication 1 as a primary cited reference holds.

<Claim 8, Cited publications 2, 4>

Constructing each pixel from a set of subpixels (subpixel structure) is a mere addition of such a well-known technique as the one disclosed in cited publication 2.

<Claim 11, Cited publications 3, 4>

Optimizing electrical connections by arranging structural elements of a pixel so that they are symmetric with respect to a reference line is a mere addition of such a well-known technique as the one disclosed in cited publication 3.

Reason 2:

The invention described in the application in reference to claims listed below is identical with an invention disclosed in the specification or drawings originally attached to the request of another application for a patent which was filed earlier than the patent application and for which the Patent Gazette was published or the laying open for public inspection was effected after the filing of the patent application. Besides, the inventor of the patent application and the inventor of the other application for a patent are not the same person, and, at the time of filing of the patent application, the applicant of the patent application and the applicant of the other application for a patent are not the same person, either. Therefore, the patent is not granted according to Section 29<sup>bis</sup> of the Japanese Patent Law.

Remarks (See List for References Cited and Applications)

[Claims 1-8, 11, Prior application 5]

(Note)

See the memory-integrated display element described in prior application 5, the specification, embodiments 1 and 2.

The invention in reference to claims 4-7 is not considered as having no clear distinctions as stated in reason 1.

Further, the invention in reference to claims 8, 11 is a mere addition of a well-known technique as stated in reason 1. The invention does not produce any technical effects unpredictable in view of conventional art. The invention is therefore substantially

identical to the prior application invention..

List of cited publications

1. Japanese published patent application 06-102530/1994 (Tokukaihei 06-102530)
2. Japanese published patent application 2000-284727 (Tokukai 2000-284727)
3. PCT pamphlet 98/036407
4. Japanese published patent application 10-228012/1998 (Tokukaihei 10-228012)
5. Japanese patent application 11-207904/1999 (Tokuganhei 11-207904) or Japanese published patent application 2001-033760 (Tokukai 2001-033760)

Reason 3:

The application includes a patent claim that does not comply with Section 36(4) of the Japanese Patent Law as below.

Remarks

(1) The invention in reference to claims 4-7 defines ratios of the resistances of transistors and optical elements. Nowhere in the Detailed Description of Invention can a disclosure be found about manufacturing technology which can control the resistances of individual TFTs which are provided on the same substrate and in extremely close proximity to each other while meeting the

specifications.

It is considered difficult to realize such resistance ratio control within the bounds of conventional manufacturing technology.

(2) In the invention in reference to claims 5, 7, the ON resistance of a p-type transistor may take a negative value when  $+x > 100$ . It is not clear how such a negative range is achievable.

(3) In the invention in reference to claims 4-7, the conditional expression is derived with by approximating power consumption. The power consumption which accompanies the charging/discharging of the pixels which have a capacitance is ignored. The approximation in the deriving of the conditional expression makes the technical implication of the parameter range given by the expression less than clear.

It is at least obvious that the parameter, falling out of the range given by the conditional expression which is approximate by nature, does not result in significantly different technical effects. The specification, e.g. in paragraph [0051], *includes a description which essentially admits that some deviations are tolerated. This is a negation by none other than the applicant themselves of technical, critical-value-related implications of the range given by the conditional expression.*

(4) Regarding the invention in reference to claims 5, 7, paragraphs [0052] to [0056] disclose how the conditional expression is derived.

From the paragraph, it is understood that the conditional expression represents conditions which must be met by a relative value A. The value A minimizes power consumption if the deviations of the ON luminance of the pixels are within  $\pm x\%$ . This does not necessarily ensure reasoning in the opposite direction. That is, the relative value A which meets the conditional expression does not ensure that the deviations of the ON luminance of the pixels stay within  $\pm x\%$ .

Nevertheless, paragraphs [0055] to [0056] mentions that satisfying the conditional expression ensures that the deviations of the ON luminance of the pixels stay within  $\pm x\%$ , which does not make sense.

The Detailed Description of Invention in the application does not disclose the invention in reference to claims 4–11 in sufficient detail to enable a person having ordinary skill in the art to carry out the invention.

Reason 4:

The application includes a patent claim that does not comply with Section 36(6)(ii) of the Japanese Patent Law as below.

Remarks

(1) Claims 4, 6 recite "approximately  $(K+1)^{1/2}/K$ ." The word "approximately" does not give any specific range.

Part of paragraph [0051], among others, reads: "if within a tolerable range ...." There is however no objective "standard" for a tolerable range. This language is also deemed unclear.

(2) In claims 5, 7, at  $x = 100$  or greater, the lower limit of the ratio of the resistances of the p-type transistors is less than or equal to 0. It is not clear for which arrangement of the invention patent protection is sought.

Considering the fact that the optical modulator can develop defects in manufacture (i.e., zero ON luminance), the negative greatest deviation from the standard value of the ON luminance is -100% ( $-x = -100$ ). If the optical modulator has large deviations in characteristics, it may exhibit more than twice as large an ON luminance as a standard element. It is therefore obvious that the positive greatest deviation from the standard value of the ON luminance exceeds 100% ( $+x > 100$ ).

The conditional expression in claims 5, 7 does not specify a range for  $x$ . Naturally, the conditional expression must be applied for  $x \geq 100$  too.

(3) Claim 2 recites: "electric charge discharge means is provided." The recitation can be construed to mean that the electric charge

discharge means is provided separately from the inverter of claim 1.

It cannot be considered that the arrangement for which patent protection is sought is clearly presented.

(4) Claim 10 recites that "a first electrode and a second power supply electrode for the memory element." It is clear what the "first electrode" refers to. In addition, there is no recitation about a "first power supply electrode" which should precede the "second power supply electrode." (The "first electrode" may be a mistake for the "first power supply electrode.")

(5) Claim 11 recites: "adjacent memory elements across a reference line of either a data signal line or a select signal line are positioned symmetric with each other with respect to the reference line, and so are adjacent optical modulators." It is not clear what the "reference line of either a data signal line or a select signal line" refers to.

It is not even clear whether the phrase is meant to say a "reference line which is either a data signal line or a select signal line" or literally refers to some reference line for "a data signal line or a select signal line."

Claim 11 is not limited to an active matrix substrate having signal lines and power supply lines thereon. The claim encompasses, for example, a display element pairs of optical modulators (for example, LEDs) connected together and provided



separately with data signal lines and select signal lines. The technical indication of the "symmetric" limitation with respect to a line on such a generic circuit is not understandable.

The invention in reference to claims 4-11 is hence not clear.

Any inquiry about this Notice of Reasons for Refusal or a request for an interview should be directed to HASHIMOTO, Examiner Unit for Nano Physics, Examining Division 1.

Tel: 03-3581-1101 (ext. 3225)

FAX: 03-3592-8858

---

#### Search Report for Prior Art Documents

Field of Search: Int. Cl.<sup>7</sup> G09G3/30

Prior Art Documents:

Japanese published patent application

No. 10-232649/1998 (Tokukaihei 10-232649)

This prior art document found in the search does not constitute reasons for refusal.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**